

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-023456

(43)Date of publication of application : 22.02.1979

(51)Int.Cl.

H03B 5/06

H03B 5/08

H03B 5/32

(21)Application number : 52-089107

(71)Applicant : SEIKO INSTR & ELECTRONICS
LTD

(22)Date of filing : 25.07.1977

(72)Inventor : KAWANABE ISAMU

(54) OSCILLATION CIRCUIT

(57)Abstract:

PURPOSE: To make earlier the oscillation start time, by using an automatic reset circuit for the oscillation circuit.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

公開特許公報

昭54—23456

⑫Int. Cl.²

H 03 B 5/06

H 03 B 5/08

H 03 B 5/32

識別記号

⑬日本分類

98(5) B 12

98(5) B 1

庁内整理番号

6647—5J

6647—5J

6647—5J

⑭公開 昭和54年(1979)2月22日

発明の数 1

審査請求 未請求

(全 2 頁)

⑮発振回路

号 株式会社第二精工舎内

⑯特 願 昭52—89107

⑰出 願 昭52(1977)7月25日

⑱発 明 者 川鍋勇

東京都江東区亀戸6丁目31番1

⑲出 願 人 株式会社第二精工舎

東京都江東区亀戸6丁目31番1

号

⑳代 理 人 弁理士 最上務

明 細 書

発明の名称 発振回路

特許請求の範囲

1) 発振回路に、オートリセット回路を用いたことを特徴とする時計用発振回路。

2) オートリセット回路用に、相補型トランジスタ1個と、第1のコンデンサ、抵抗各々1個で、積分回路を構成し、かつ発振回路の第2のコンデンサに、並列にトランジスタ、第3のコンデンサの出力端と電源との間にトランジスタを用いたことを特徴とする特許請求の範囲第1項記載の時計用発振回路。

発明の詳細な説明

本発明は、発振回路にオートリセット回路を用いることにより、発振開始時間を早めたことにある時計用発振回路に関するものであります。

従来は、相補型MOSトランジスタ、コンデン

サ、抵抗各々1個と、水晶振動子でもつて発振回路を構成していた。そのため、電源を入れてから発振回路が正常な発振を起すまで、長い時間を要するという欠点を有していた。

本発明の目的は、上述の発振回路の発振開始時間が遅いことを、オートリセット回路を用いることにより欠点を解決したことにあります。

以下、本発明による装置の構造を、実施例について、図面を参照して説明をすると、第1図(a)は相補型CMOSインバータ1を用いた従来の時計用発振回路であり、第1図(b)は、その動作波形であります。第2図(a)は、第1図(a)の相補型CMOSインバータ1を用いた発振回路に、第2図(a)のオートリセット回路2を用いたものであり、第2図(b)は、その動作波形であります。

つぎに動作について具体的に説明をする。

今、第2図(a)において、任意の時間にスイッチSを“0”にした時、抵抗Rを通して、Cを充電している状態であるので、スイッチング用インバータ3のゲートには、ロチヤンネルトランジ

スタが“0V”されるたへイレベルの電圧に達していないので(過渡状態を考えると)スイッチング用インバータ3の出力はハイレベルで、インバータ4の出力はロウレベルである。したがって、nチャネルトランジスタ5、pチャネルトランジスタ6は“0V”となり、スイッチ8を“0V”にした瞬間は、水晶振動子7の、Cd側をロウレベル、Cg側をハイレベルに、強制的に、励振開始状態にしてしまい、後に、時定数 $T = CR$ で抵抗Rを通して、コンデンサCを充電して、スイッチング用インバータ3の出力をロウレベルに反転させ、インバータ4の出力はハイレベルとなり、pチャネルトランジスタ6を“OFF”させ、同時に、nチャネルトランジスタ5をも“OFF”させるので、強制的な励振開始状態は解除されて、正常な発振を開始する。時定数 $T = CR$ を変えることにより、発振開始時間をも、コントロール出来る。

以上のことから、本発明による装置は、従来の時計用発振回路に、オートリセット回路を用いる

ことにより、発振回路の発振開始時間を早めたという効果を有する。

図面の簡単な説明

第1図(a)は、従来のC-MOSインバータを用いた発振回路の回路図であり、第1図(b)はその動作波形図であります。

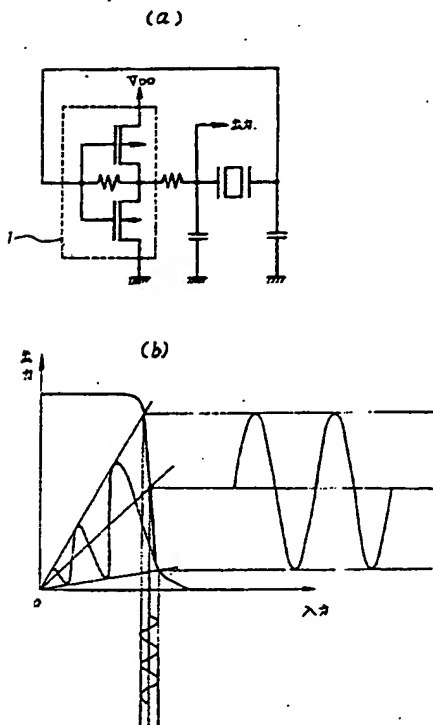
第2図(a)は、本発明によるオートリセット回路を用いた時計用発振回路図であり、第2図(b)はその動作波形図であります。

- 1…C-MOSインバータ
- 2…オートリセット回路
- 3…スイッチング用インバータ
- 4…インバータ
- 5…nチャネルMOSトランジスタ
- 6…pチャネルMOSトランジスタ
- 7…水晶振動子

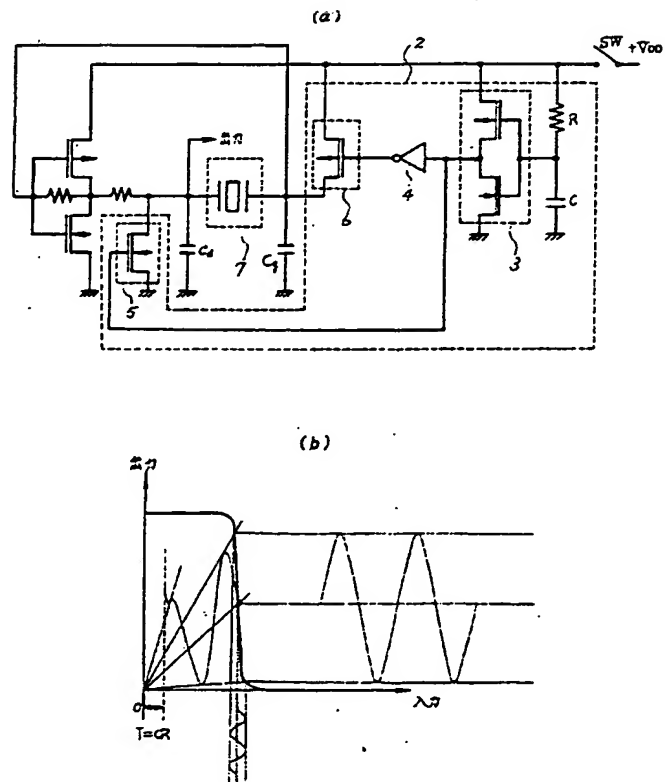
以上

代理人 最上 務

第1図



第2図



⑫公開実用新案公報 (U)

昭54—183256

⑪Int. Cl.²

H 03 B 5/32

H 03 B 5/06

識別記号

⑬日本分類

98(5) B 12

庁内整理番号

6647—5 J

6647—5 J

⑭公開 昭和54年(1979)12月25日

審査請求 未請求

(全 1 頁)

⑮水晶発振回路

⑯実 願 昭53—82159

⑰出 願 昭53(1978)6月14日

⑱考 案 者 白谷優次

長岡京市馬場園所1番地 三菱

電機株式会社京都製作所内

⑲出 願 人 三菱電機株式会社

東京都千代田区丸の内二丁目2

番3号

⑳代 理 人 弁理士 葛野信一 外1名

㉑実用新案登録請求の範囲

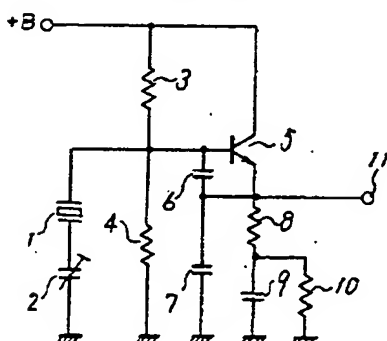
- (1) 抵抗と数 μF 以上のコンデンサを直列に接続した時定数回路を発振起動時のみ発振トランジスタに高バイアス加わるように接続したことを特徴とする水晶発振回路。
- (2) 発振トランジスタのエミッタ・アース間に時定数回路を接続したことを特徴とする実用新案登録請求の範囲第1項記載の水晶発振回路。
- (3) 発振トランジスタのベース・電源間に時定数

回路を接続したことを特徴とする実用新案登録請求の範囲第1項記載の水晶発振回路。

図面の簡単な説明

第1図及び第2図はそれぞれこの考案による水晶発振回路の一実施例を示す電気的接続図である。図において8は抵抗、9はコンデンサ、13はコンデンサ、14は抵抗である。なお図中同一符号は同一または相当部分を示している。

第1図



第2図

